

SEMICONDUCTOR CHIP, MULTI-CHIP PACKAGE, SEMICONDUCTOR DEVICE, AND ELECTRONIC EQUIPMENT USING IT

Publication number: JP2001210782 (A)

Publication date: 2001-08-03

Inventor(s): NOZAWA KAZUHIKO; EMOTO YOSHIKI +

Applicant(s): SEIKO EPSON CORP +

Classification:

- international: H01L23/52; H01L21/3205; H01L23/12; H01L25/065; H01L25/07; H01L25/10; H01L25/11; H01L25/18; H01L23/52; H01L21/02; H01L23/12; H01L25/065; H01L25/07; H01L25/10; H01L25/18; (IPC1-7): H01L25/065; H01L21/3205; H01L23/12; H01L23/52; H01L25/07; H01L25/18

- European:

Application number: JP20000019116 20000127

Priority number(s): JP20000019116 20000127

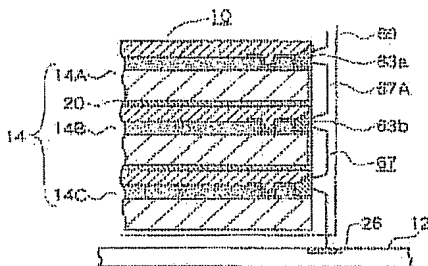
Also published as:

JP3879351 (B2)

Abstract of JP 2001210782 (A)

PROBLEM TO BE SOLVED: To provide a semiconductor chip, a multi-chip package, a semiconductor device, and an electronic equipment using it, for easy manufacturing a terminal electrode, reduced external dimension, easy 3-dimension mounting of a semiconductor chip, and minimum degradation in electric characteristics.

SOLUTION: A conductor is applied, in paste, to a division point set for each chip unit which is determined on a wafer in advance by a printing device. The conductor is divided into chip units to form a bump terminal electrode, thus forming a semiconductor chip. The bump terminal electrode divided for each chip unit is provided at the divided point set for each chip unit which is pre-determined on the wafer. The semiconductor chips are laminated with the electrode connected, and a conductor for conduction between laminated chips is provided to constitute a multi-chip package. The terminal electrode of the semiconductor chip is connected to the electrode of a circuit board to constitute a semiconductor device.



Data supplied from the *espacenet* database — Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-210782

(P2001-210782A)

(43)公開日 平成13年8月3日(2001.8.3)

| (51)Int.Cl. ⁷ | 識別記号 | F I | ターミナル*(参考) |
|--------------------------|---------|---------------|-------------|
| H 0 1 L | 25/065 | H 0 1 L 25/08 | Z 5 F 0 3 3 |
| | 25/07 | 21/88 | T |
| | 25/18 | 23/12 | L |
| | 21/3205 | 23/52 | C |
| | 23/12 | | |

審査請求 未請求 請求項の数 9 O L (全 8 頁) 最終頁に続く

(21)出願番号 特願2000-19116(P2000-19116)

(22)出願日 平成12年1月27日(2000.1.27)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 野澤 一彦

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(72)発明者 江本 義明

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74)代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

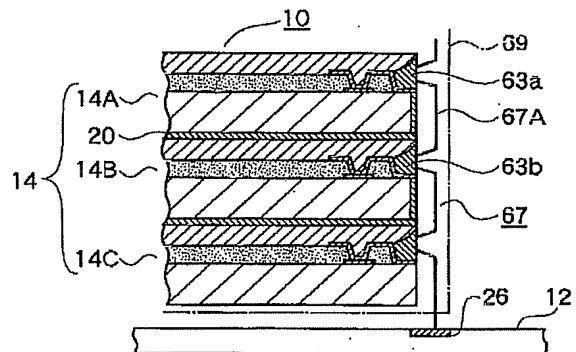
Fターム(参考) 5F033 HH08 PP26 RR04 SS25 VW07

(54)【発明の名称】 半導体チップ、マルチチップパッケージ、および半導体装置と、並びに、それを用いた電子機器

(57)【要約】

【課題】 端子電極の製造を容易にするとともに外形寸法が小さでき、かつ、半導体チップの3次元実装が容易にできるとともに、電気的特性の劣化を最小にすることのできる半導体チップ、マルチチップパッケージ、および半導体装置と、並びに、それを用いた電子機器を提供する。

【解決手段】 ウエハに予め定められたチップ単位毎に設定されている分割個所に、印刷装置によりペースト状態で導電体が塗布される。この導電体は、チップ単位毎に分割されて bumps 端子電極を構成し、半導体チップが形成される。ウエハに予め定められたチップ単位毎に設定されている分割個所に、チップ単位毎に分割された bumps 端子電極を有する。この半導体チップを積層し、前記電極を接続し積層したチップ間を導通する導電体を設けてマルチチップパッケージを構成する。この半導体チップの端子電極を回路基板の電極に接続し半導体装置を構成する。



【特許請求の範囲】

【請求項1】 ウエハに予め定められたチップ単位毎に設定された分割個所に、導電材料を印刷装置により塗布し、チップ単位毎に分割した端子電極を有することを特徴とする半導体チップ。

【請求項2】 導電材料を塗布する装置は、インクジェット方式、ディスペンス方式、および、スプレー方式からなる吐出型印刷装置、又は、スクリーン印刷方式、ピン転写方式、たこ式転写方式からなる転写印刷装置のいずれであることを特徴とする請求項1記載の半導体チップ。

【請求項3】 請求項1あるいは請求項2記載の半導体チップにおいて、分割される端子電極は、インクジェット装置より吐出した半田、金、あるいは、銀のいずれであることを特徴とする半導体チップ。

【請求項4】 ウエハに予め定められたチップ単位毎に設定されている分割個所に、チップ単位毎に分割された端子電極を有する半導体チップを積層し、かつ、各電極を接続し積層したチップ間を導通する導電体からなることを特徴とするマルチチップパッケージ。

【請求項5】 少なくとも同一種類の半導体チップを連続積層してなり、各電極を半導体チップの電極に接続したことを特徴とする請求項4記載のマルチチップパッケージ。

【請求項6】 ウエハに予め定められたチップ単位毎に設定された分割個所に、導電材料を印刷装置により塗布し、チップ単位毎に分割した端子電極を有し、端子電極を半導体チップの電極に接続したことを特徴とする半導体装置。

【請求項7】 同一または異種サイズの複数の半導体チップをそれらの隣接する2辺を整列して積層し、各半導体チップに共通する端子を上記整列された縁辺側に集中させ、集中配置された積層チップ間の端子同士に電極を配置し、各電極を半導体チップの電極に接続したことを特徴とする請求項6記載の半導体装置。

【請求項8】 各半導体チップの電極共通端子の配列パターンを同一にし、共通を積層体の端面部分に一直線上に配列させるとともに、各電極を回路基板の電極に接続したことを特徴とする請求項6あるいは請求項7記載の半導体装置。

【請求項9】 請求項6乃至請求項8記載のいずれの半導体装置において、半導体装置をマザーボードで接続した回路基板を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体チップ、マルチチップパッケージ、および半導体装置と、並びに、それを用いた電子機器に関する。

【0002】

【従来の技術】近年、電子機器の高性能化、小型化に伴

って1つのパッケージ内に複数の半導体チップを配置してマルチチップパッケージ(Multi Chip Package)とすることにより、半導体装置の高機能化と小型化とが図られている。そして、マルチチップパッケージには、複数の半導体チップを平面的に並べたものと、複数の半導体チップを厚み方向に積層したものとがある。半導体チップを平面的に並べたマルチチップパッケージは、広い実装面積を必要とするため、電子機器の小型化への寄与が小さい。このため、半導体チップを積層したスタックドMCPの開発が盛んに行われている。

【0003】この種のパッケージ構造としては、実開昭62-158840号、特開平6-37250号の公報に開示されているように、複数の半導体チップを外形寸法の大きさにしたがってピラミッド状に積層し、各半導体チップの上面に設けた端子電極をボンディングワイヤによって接続する構成となっているのが一般的である。

【0004】

【発明が解決しようとする課題】ところが、上記従来構造のマルチチップパッケージでは、積層する順位がチップサイズによって規制されてしまい、積層の自由度が少ないという欠点がある。また、チップ間の端子電極の接続にボンディングワイヤを利用して行なうが、端子間距離が一定していないため、ワイヤ長さが種々にわたってしまい、ボンディング長さに起因する電気的特性の劣化が生じてしまう問題がある。更に、積層するチップの下位チップは必ず上位チップよりは端子電極の形成領域が露出している必要があり、チップサイズに限定要件があるため、設計自由度が極めて小さいという問題もある。また、同一サイズの下位チップと上位チップとを用いたときには、下位半導体チップと上位半導体チップとの間に、ボンディングワイヤのための空間を必要とし、外形寸法が大きくなるという欠点がある。このために、同一サイズの下位チップと上位チップでも、外形寸法が小さく、電極の製造が容易なマルチチップパッケージの開発が望まれている。また、従来では、電極は蒸着あるいは電極個所に半田ペーストをいちいち塗布して形成されているため、製造工程が多くなるため、簡単な製造により作成できることが望まれている。

【0005】本発明は、上記従来問題点に着目し、端子電極の製造を容易にするとともに外形寸法が小さくでき、かつ、半導体チップの3次元実装が容易にできるとともに、電気的特性の劣化を最小にすることのできる半導体チップ、マルチチップパッケージ、および半導体装置と、並びに、それを用いた電子機器を提供することを目的とする。また、第2にはチップサイズに影響を受けずに3次元実装できるようにすることを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明に係る半導体チップは、ウエハに予め定められたチップ単位毎に設定された分割個所に、導電材料を

印刷装置により塗布し、チップ単位毎に分割した端子電極を有することを特徴とする。

【0007】このように構成した本発明は、端子電極は印刷装置により流動状態で塗布されて電極が形成され、ウエハが予め定められた分割個所でチップ単位毎に分割されるときに、電極も同時に分割される。また、一回の塗布と、ウエハの切断に伴い二つの半導体チップの電極を作ることができるので製作工程が少なくなる。

【0008】また、導電材料を塗布する装置は、インクジェット方式、ディスペンス方式、および、スプレー方式からなる吐出型印刷装置、又は、スクリーン印刷方式、ピン転写方式、たこ式転写方式からなる転写印刷装置のいずれで行うことにより簡単に製作でき、製作工程を少なくできる。

【0009】また、分割される端子電極は、インクジェット装置より吐出した半田、金、あるいは、銀のいずれの導電材料で電極を製作するために、より製造が容易になる。

【0010】本発明に係るマルチチップパッケージは、ウエハに予め定められたチップ単位毎に設定されている分割個所に、チップ単位毎に分割された端子電極を有する半導体チップを積層し、かつ、各電極を接続し積層したチップ間を導通する導電体からなることを特徴とする。

【0011】このように構成した本発明は、チップの同一個所に作られた電極をほぼ同じ長さの導電体で導通するため、ほぼ同じ長さにできる。また、積層した側面に電極間を接続する導電体を配設したため、同一サイズの下位半導体チップと上位半導体チップでも、ボンディングワイヤのために必要とする上下方向の空間が不要となる。

【0012】また、少なくとも同一種類の半導体チップを連続積層してなり、各電極を半導体チップの電極に接続するようにすると良い。

【0013】このように構成した本発明は、同一種類の半導体チップを連続積層しているため、上下方向の空間が不要となり、外形寸法の厚さを小さく出来る。

【0014】本発明に係る半導体装置は、ウエハに予め定められたチップ単位毎に設定された分割個所に、導電材料を印刷装置により塗布し、チップ単位毎に分割した端子電極を有し、端子電極を半導体チップの電極に接続したことを特徴とする。

【0015】このように構成した本発明は、前記と同様に、端子電極は印刷装置により流動状態で塗布されて電極が形成され、ウエハが予め定められた分割個所でチップ単位毎に分割されるときに、電極も同時に分割されるため、半導体チップの電極が容易に製作できるので安価になり、それに伴い、半導体装置も安価にできる。

【0016】また、本発明に係る半導体装置は、同一または異種サイズの複数の半導体チップをそれらの隣接す

る2辺を整列して積層し、各半導体チップに共通する端子を上記整列された縁辺側に集中させ、集中配置された積層チップ間の端子同士に電極を配置し、各電極を半導体チップの電極に接続したことを特徴とする。

【0017】このように構成した本発明は、電極は隣接する2辺の範囲内に集中配置するとともに、同一列で電極を接続することが出来るため製造が容易になる。半導体チップの3次元実装が容易にできるとともに、電気的特性の劣化を最小にすることのできる。

【0018】また、半導体装置は、各半導体チップの電極共通端子の配列パターンを同一にし、共通を積層体の端面部分に一直線上に配列させるとともに、各電極をロジックチップの電極に接続するようにすることが望ましい。

【0019】このように構成した本発明は、前記と同様に、電極間を接続する導電体の長さがほぼ同じ長さにでき、電気的特性の劣化を最小にすることのできるとともに、同一列で電極を接続することが出来るため製造が容易になる。

【0020】また、電子機器は、上記の半導体装置をマザボードで接続して回路基板を備えたことを特徴とする。

【0021】このように構成した本発明は、外形寸法の厚さを小さく出来るので、電子機器の外形も小型にできる。また、製造工程が少ないとともに、製造の容易なマルチチップパッケージを用いている。

【0022】

【発明の実施の形態】以下に、本発明に係る半導体チップ、マルチチップパッケージ、および半導体装置と、並びに、それを用いた電子機器の好ましい実施の形態を添付図面に従って詳細に説明する。

【0023】図1乃至図6は本発明の実施形態に係るマルチチップパッケージ10を構成する半導体チップ14の斜視図あるいは一部断面側面形状を示す製造工程図である。

【0024】図1は、本発明を用いる後述するマルチチップパッケージ10の半導体チップ14を構成するシリコンウエハ51の一部斜視図、図2は側面断面図で図1のA-A断面図である。シリコンウエハ51の上面Up（能動面側）には、予め定められたチップ単位毎に回路素子、例えば、アルミニウム配線53の回路が作り込まれており、また、半導体チップ14のチップ単位毎の分割個所（La）が設定されている。また、半導体チップ14の上面には、アルミニウム配線53の一部でチップ電極パッド用穴55、および、チップ単位毎に設定されている分割個所（La）を除いて絶縁膜57（SiO₂膜）が被覆されている。すなわち、アルミニウム配線53等の回路が作成されたシリコンウエハ51の上面は、熱酸化により絶縁膜57（SiO₂膜）を作った後に、チップ電極パッド用穴55および分割個所（L

a) をホトエッチングにより絶縁膜57 (SiO₂膜) を除去している。

【0025】図3では、絶縁膜57 (SiO₂) の上側で、かつ、チップ電極パッド用穴55に配されたアルミニウム配線53と導通されるメタル層59をチップ単位毎に設定されている分割個所 (La) に延長させ、このメタル層59を通じてチップ端縁から信号入出力を行わせるようにしている。このメタル層59はアルミニウムの蒸着等により行なっても良い。

【0026】図4では、分割個所 (La) に配されたメタル層59の上にインクジェット装置61よりペースト状の流動状態の導電材料が吐出されてメタル層59の上に重ねられた後に、硬化されている。この硬化された端子電極63は円筒形状で形成されている。この端子電極63には、半田、金、あるいは、銀のいずれかが用いられている。分割される端子電極63は、インクジェット装置61より半田ペースト、金ペースト、あるいは、銀ペーストのいずれかの導電材料を吐出し、硬化した導電材料で端子電極63を製作するために、他より製造が容易になる。なお、上記において端子電極63は、インクジェット装置61を用いたが、同じ吐出型印刷装置であるディスペンス方式およびスプレー方式でも良く、又は、転写印刷装置である方式、ピン転写方式でも良い。

【0027】図5および図6では、シリコンウエハ51は、チップ単位毎に設定されている分割個所 (La) で切断され、これに伴い、硬化された端子電極63も一緒に切断される。この切断には、一般的に、ダイヤモンドカッタ (Dc)、ダイヤモンドブレード、あるいは、レーザ光で切断するスクライビング法が行われる。これにより、端子電極63は、分割個所 (La) に配されたメタル層59の一部が重ねられた状態で二つに切断され、各々の端子電極63a、63bが両側に製作された半導体チップ14A、14Bの外部に接続する電極となるようになされている。

【0028】図5では、設定されている分割個所 (La) でチップ単位毎に切断されたチップは、端子電極63の部分を除いて、樹脂封止材65によりモールドされ、各々の半導体チップ14A、14Bが製造される。この樹脂封止にはモールド金型を用いたトランスファモールド方法、あるいは、ポッティング樹脂を用いたポッティング方法等を用いることが出来る。

【0029】図7、図8、および、図9では、各々の半導体チップ14A、14B、14C… (本実施形態では3個) が連続して積層され、この積層された半導体チップ14は各々の端子電極63a、63bが導電体67により順次連結されることにより、マルチチップパッケージ10が構成されている。各々の半導体チップ14A、14B、14Cが連続して、すなわち、図示の上下方向で接触して積層されることにより厚さが小さく出来る。

【0030】図7では、各々の端子電極63a、63b

が導電体67である第1実施形態であるボンディングワイヤ67Aにより接続されて導通をとるようにされている。これにより、ボンディングワイヤ67Aの長さがほぼ同じ長さにでき、電気的特性の劣化を最小にすることができる。また、同一サイズの上側半導体チップ14Aと下側半導体チップ14Bとが用いられても、ボンディングワイヤ67Aのために必要な上下方向の空間が不要となり、外形寸法の厚さを小さく出来る。ボンディングワイヤ67Aは後述するプリント回路基板12に形成される外部電極端子26に対して接続をなせばよい。ボンディングワイヤ67Aの外側は、外側樹脂封止材69によりモールドされ、マルチチップパッケージ10が構成されている。

【0031】図8では、各々の端子電極63a、63bが導電体67である第2実施形態であるインクジェット装置61からペースト状態で吐出された、半田ペースト、金ペースト、あるいは、銀ペーストのいずれかの半田用導電体67Bにより接続されて導通をとるようにされている。また、このインクジェット装置61は、このインクジェットから半導体チップ14の端面に封止絶縁膜71で被覆して形成するようにしても良い。これにより、簡単な装置の構成により、導電体67および封止絶縁膜71を作ることができる。

【0032】図9では、各々の端子電極63a、63bが導電体67である第3実施形態であるリード棒67Cにより接続されて導通をとるようにされている。リード棒67Cは、レーザ光により溶着され接続されている。その他は同一のため詳細な説明は省略する。リード棒67Cは後述するプリント回路基板12に形成される外部電極端子26に対して接続をなせばよい。

【0033】図10は上記で説明した電極構造 (製造工程図図7乃至図9) を用いた実施形態に係るマルチチップパッケージ10をプリント回路基板12に実装した状態からなる半導体装置36の概略斜視図の一例である。これらに図示しているように、マルチチップパッケージ10は、異種サイズの複数の半導体チップ14A、14B、14Cをそれらの隣接する2辺が整列するように上下に積層して構成されている。換言すれば、半導体チップ14A、14B、14Cのサイズの如何に拘わらず、それらの一つのコーナ部分が一致するように積層するのである。この実施形態では、上層には正方形をなす最小半導体チップ14Aが配置され、その下位の中間層には一回り大きい正方形サイズの半導体チップ14Bが配置され、最下層の半導体チップ14Aは、上記正方形半導体チップ14Bの1辺長さより長い長辺と、正方形半導体チップ14Bの1辺長さよりは短い短辺を有する長方形半導体チップ14Cが配置されるように積層されている。そして、同一サイズの複数の最小半導体チップ14Aは縁辺を揃えて連続して積層するようにしている (図示の例では3層)。

【0034】このように同一または異種サイズの複数の半導体チップ14A、14B、14Cをそれらの隣接する2辺16X、16Yを整列するように一つのコーナが一致するようにして積層させるため、各半導体チップ14(14A、14B、14C)では、次のような構成を採用している。すなわち、各半導体チップ14A、14B、14Cに共通する端子を上記整列された縁辺16X、16Y側に集中させているのである。例えば、半導体チップ14をメモリ素子として構成した場合、電源ライン、データライン、アドレスラインなどの電極端子、あるいはライトイネーブルなどの制御端子を共通にすることができる。したがって、このような共通端子18n(n=1、2、……n)を各半導体チップ14における整列縁辺16X、16Yに集中配置するようにしている。このとき、各半導体チップ14の共通端子の配列パターンを一致させる。もちろん、端子ピッチ間隔も一定にすることが望ましい。このようにすることにより、各半導体チップ14が積層されたとき、積層体の端面に配列された端子18nが鉛直方向に1直線に配列される。

【0035】各半導体チップ14を積層するに際して、層間に絶縁接着樹脂20(図7参照)を介在させることで、チップ間で端子と基板シリコンとの接触による不具合を防止できる。そして、積層チップ14の端子18n同士は図1に示しているように、ボンディングワイヤ67Aなどにより接続して導通をとるようにしている。これは、例えば、各半導体チップ14の端子18nの配列縁辺16X、16Yの部分に傾斜面を形成し、端子18n上にメタライズ層24を形成して傾斜面に延設し、このメタライズ層24を利用してボンディングワイヤ67Aを施し、プリント回路基板12に形成している外部電極端子26に対してボンディングワイヤ67Aにより接続をなせばよい。

【0036】このようにして形成されたマルチチップパッケージ10は、プリント回路基板12に実装され、プリント回路基板12の端縁に設けたコネクタ端子32と共通電極18nとが配線ライン34によって接続される。これにより機能をもった半導体装置36が作製される。かかるマルチチップパッケージ10では、異種サイズの半導体チップ14は隣接する2辺16X、16Yに共通端子18nを集中配置するように設計作製し、これらの2辺16X、16Yが整列するようにコーナを一致させて積層する構成を採用しているため、ピラミッド状にチップ積層しなくてもよく、積層作業を極めて簡易に行なわせることができる。そして、積層にはチップサイズによる制限は無いので、積層順位を任意に設定でき、パッケージ設計の自由度は著しく増大する。また、積層されるチップ14の共通端子18n同士の接続距離は上下間で共通にすることができ、ボンディングワイヤ67Aの長さも最短となる。この結果、電気的な特性の劣化を最小に抑えることができるのである。マルチチップパ

ッケージ10の揃えた縁辺16X、16Y以外の箇所では凹凸端面となるが、これらは樹脂モールドによって外形を整えることができるので、何ら問題はない。

【0037】なお、上記構成では、サイズが異なる半導体チップ14A、14B、14Cを積層するものとして述べたが、サイズの如何に拘わらず、一つの回路装置を構成する異なる種類の半導体チップを対象とし、これらに共通する電極を同一の配列パターンで各チップにおける隣接する2辺の範囲内に集中配置し、前記2辺を整列させて異種半導体チップを積層してこの積層体の端面部分で共通電極の導通接続をなすようにしてもよい。この場合においても、前述した半導体チップ14Aの場合と同様に、同一種類の半導体チップは連続積層させるようにすればよい。

【0038】また、上記構成では、半導体チップ14A、14B、14Cを積層してマルチチップパッケージ10を構成し、マルチチップパッケージ10は、プリント回路基板12に実装されて多層化された半導体装置36が作製される例を記載しているが、半導体チップ14A、14B、14Cのいずれか一つをプリント回路基板12に実装して単独よりなる半導体装置36Aを作製しても良い。

【0039】図11は、本発明の実施形態に係る多層化された半導体チップ14をプリント回路基板12に実装した多層化半導体装置36と、また、いずれか単独の半導体チップ14A、14B、14Cをプリント回路基板12に実装した単独半導体装置36Aとをマザボード81に取着した回路基板1000を示している。回路基板1000には、例えば、ガラスエポキシ基板等の有機系基板を用いるのが一般的である。回路基板1000には、例えば、銅からなるボンディング部が所望の回路となるように形成されている。そして、ボンディング部と半導体装置36、36Aの外部電極とを機械的に接続することでそれらの電気的導通が図られる。

【0040】なお、半導体装置36、36Aは、実装面積をベアチップにて実装する面積にまで小さくすることができるので、この基板回路1000を電子機器に用いれば電気機器自体の小型化が図れる。また、同一面積においては、より実装スペースを確保することができ、高機能化を図ることが可能である。また、多層化された半導体装置36と単独の半導体装置36Aは、半導体チップの端子電極が容易に製作できるため、半導体装置が安価にできる。

【0041】そして、この回路基板1000を備える電子機器として図12にノート型パーソナルコンピュータ1200を示している。前記ノート型パーソナルコンピュータ1200は、高機能化を図った回路基板1000を備えているため、性能を向上させることができる。

【0042】

【発明の効果】以上説明したように、本発明に係る半導

体チップは、ウエハに予め定められたチップ単位毎に設定された分割個所に、導電材料を印刷装置より塗布し、チップ単位毎に分割した端子電極を有する構成としたので、印刷装置より流動状態で塗布した導電材料で電極が形成された後、ウエハがチップ単位毎に分割されるときに、電極も同時に分割されるため容易に製造できる。また、一回の塗布と、ウエハの切断に伴い二つの半導体チップの電極に用いることができるので製作工程が少なく安価にできる。

【0043】本発明に係るマルチチップパッケージは、ウエハに予め定められたチップ単位毎に設定されている分割個所に、チップ単位毎に分割されたパンプ端子電極を有する半導体チップを積層し、かつ、各電極を接続し積層したチップ間を導通する導電体からなる構成としたので、チップの同一個所に作られた電極をほぼ同じ長さの導電体で導通するため、ほぼ同じ長さにでき、電気的特性の劣化を最小にすることができる。また、積層した側面に電極間を接続する導電体を配設したため、同一サイズの下位半導体チップと上位半導体チップでも、ボンディングワイヤのために必要とする上下方向の空間が不要となり、外形寸法の厚さを小さく出来る。

【0044】本発明に係る半導体装置は、同一または異種サイズの複数の半導体チップをそれらの隣接する2辺を整列して積層し、各半導体チップに共通する端子を上記整列された縁辺側に集中させ、集中配置された積層チップ間の端子同士に電極を配置し、各電極をロジックチップの電極に接続した構成としたので、電極は隣接する2辺の範囲内に集中配置するとともに、同一列で電極を接続することが出来るため製造が容易になる。半導体チップの3次元実装が容易にできるとともに、電気的特性の劣化を最小にすることができる。また、製造の容易な半導体チップが用いられているため、安価な半導体装置が得られる。

【0045】また、電子機器は、小型化されたマルチチップパッケージよりなる半導体装置をマザボードに実装して回路基板を備えた構成としたので、外形寸法の厚さを小さく出来るので、電子機器の外形も小型にでき、また、製造工程が少ないとともに、製造の容易な半導体チップおよびマルチチップパッケージを用いているため、安価な電子機器が出来る。

【図面の簡単な説明】

【図1】本発明の実施形態に係るシリコンウエハ部の工程図の一部斜視図である。

【図2】本発明の実施形態に係るシリコンウエハ部の工程図の一部側面断面図であり、図1のA-A断面図である。

【図3】本発明の実施形態に係るシリコンウエハ部の一部側面断面図であり、半導体チップのメタル層製造の工程図である。

【図4】本発明の実施形態に係るシリコンウエハ部の一

部側面断面図であり、半導体チップの電極製造の工程図である。

【図5】本発明の実施形態に係るシリコンウエハ部の一部側面断面図であり、半導体チップの切断の工程図である。

【図6】本発明の実施形態に係るシリコンウエハ部の一部斜視図であり、半導体チップの切断の工程図である。

【図7】本発明の第1施形態に係るマルチチップパッケージの電極構造（ボンディングワイヤ）の一部断面側面図である。

【図8】本発明の第2施形態に係るマルチチップパッケージの電極構造（半田導電体）の一部断面側面形状を示す工程図である。

【図9】本発明の第3施形態に係るマルチチップパッケージの電極構造（リード棒）の一部断面側面形状を示す工程図である。

【図10】実施形態に係るマルチチップパッケージを実装した半導体装置の斜視図である。

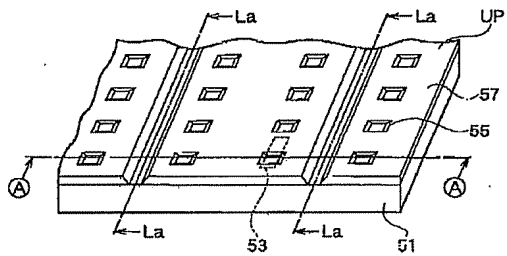
【図11】実施形態に係るマルチチップパッケージの回路基板への適用例の説明図である。

【図12】実施形態に係るマルチチップパッケージを実装した電子機器への適用例の説明図である。

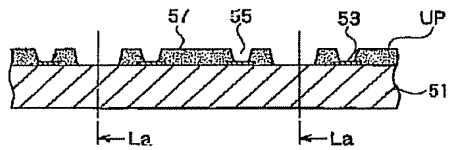
【符号の説明】

- 10.....マルチチップパッケージ
- 12.....プリント回路基板
- 14 (14A、14B、14C).....半導体チップ
- 16X、16Y.....整列縁辺
- 18n.....共通端子
- 20.....絶縁接着樹脂
- 22.....ボンディングワイヤ
- 24.....メタライズ層
- 26.....外部電極端子
- 36、36A.....半導体装置
- 51.....シリコンウエハ
- 53.....アルミニウム配線
- 55.....チップ電極パッド用穴
- 57.....絶縁膜
- 59.....メタル層
- 61.....インクジェット装置
- 63.....端子電極
- 65.....樹脂封止材
- 67.....導電体
- 67A.....ボンディングワイヤ
- 67B.....半田導電体
- 67C.....リード棒
- 81.....マザボード
- 1000.....回路基板
- 1200.....ノート型パーソナルコンピュータ（電子機器）

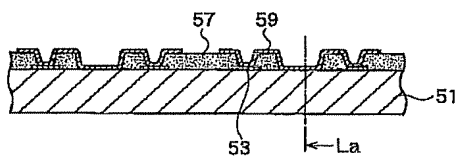
【図 1】



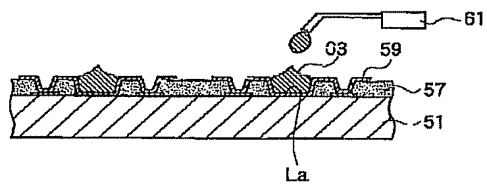
【図2】



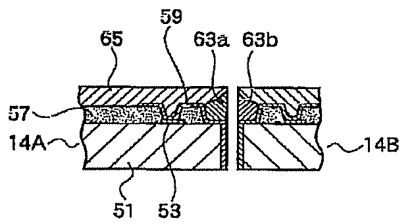
【図3】



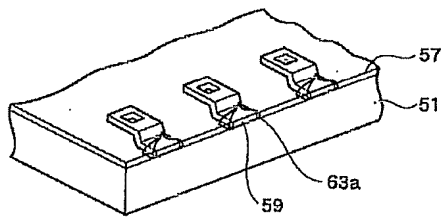
【図4】



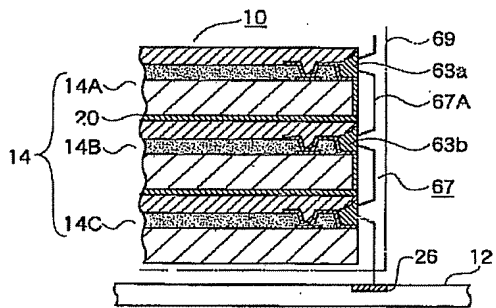
【図5】



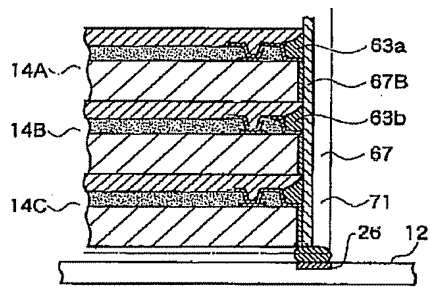
【図6】



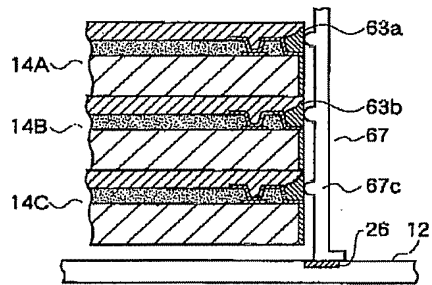
【図7】



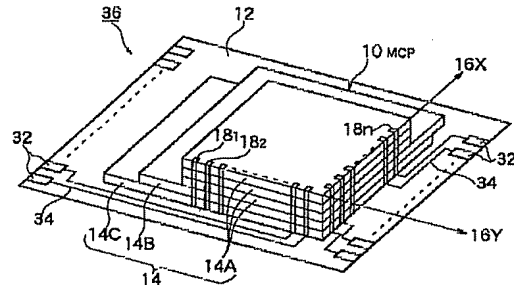
【図8】



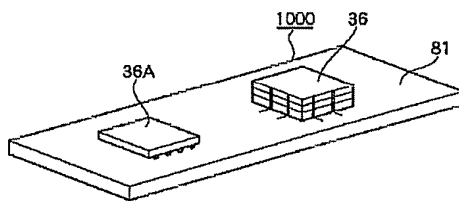
【図9】



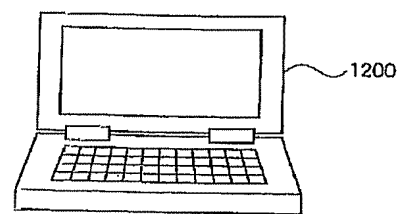
【図10】



【図11】



【図12】



フロントページの続き

(51) Int. Cl. 7

H 0 1 L 23/52

識別記号

F I

(参考)